

**PEMBANGUNAN KRITERIA PENENTUAN  
PARAMETER  $\eta$  DALAM PENILAIAN  
RETAKAN SAMBUNGAN PATERI**

**MOHD ERWAN BIN BASIRON**

**UNIVERSITI KEBANGSAAN MALAYSIA**

PEMBANGUNAN KRITERIA PENENTUAN PARAMETER  $\eta$  DALAM  
PENILAIAN RETAKAN SAMBUNGAN PATERI

MOHD ERWAN BIN BASIRON

TESIS YANG DIKEMUKAKAN UNTUK MEMPEROLEH  
IJAZAH SARJANA

INSTITUT KEJURUTERAAN MIKRO DAN NANOELEKTRONIK  
UNIVERSITI KEBANGSAAN MALAYSIA  
BANGI

2026



UKM-SPKPPP-PT(PdP)-05-AK04-BO07

No. Semakan: 02

Tarikh Kuat Kuasa:  
27/01/2026**BORANG DAN SENARAI SEMAK PENYERAHAN TESIS/DISERTASI  
SELEPAS PEMBETULAN  
FORM AND CHECKLIST OF AMENDED THESIS/DISSERTATION  
SUBMISSION****SENARAI SEMAK PENYERAHAN TESIS/ DISERTASI SELEPAS PEMBETULAN**

| Bil.<br>No | Perkara / Items                                                                                                                                                                                                                                                                                                                                                 | Senarai Semak<br>(√)<br>Check List |
|------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------|
| 1.         | Mematuhi Panduan Menulis Tesis Gaya UKM<br>(Sila layari <a href="https://www.ukm.my/akademik/pelajar-pascasiswazah/">https://www.ukm.my/akademik/pelajar-pascasiswazah/</a> )<br><i>Comply with the UKM Style Guide.</i><br>(Please visit <a href="https://www.ukm.my/akademik/pelajar-pascasiswazah/">https://www.ukm.my/akademik/pelajar-pascasiswazah/</a> ) | √                                  |
| 2.         | Borang Perakuan Tesis / Disertasi Sarjana / Doktor Falsafah dimasukkan bersama tesis akhir dalam bentuk salinan lembut<br><i>Insert the Certification of Master's/ Doctoral Thesis/ Dissertation with the final thesis/dissertation in soft copy form.</i>                                                                                                      | √                                  |
| 3.         | Menyerahkan salinan tesis / disertasi versi akhir (salinan lembut) kepada Fakulti / Institut dan Perpustakaan mengikut keperluan masing-masing<br><i>Submit the final version of the thesis/ dissertation (soft copy) to the Faculty/Institute and Library according to their respective requirements.</i>                                                      | √                                  |
| 4.         | Menyerahkan salinan tesis / disertasi versi akhir kepada semua penyelia<br><i>Submit a copy of the final version of the thesis/ dissertation to all supervisors.</i>                                                                                                                                                                                            | √                                  |
| 5.         | Menyerahkan salinan syarat penerbitan<br><i>Submit the proof of publication requirements.</i>                                                                                                                                                                                                                                                                   | √                                  |

|                                                                                                                                                                                   |                                                                                                                                                              |                        |                                          |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------|------------------------------------------|
|  <b>UNIVERSITI<br/>KEBANGSAAN<br/>MALAYSIA</b><br><i>The National University<br/>of Malaysia</i> | <b>UKM-SPKPPP-PT(PdP)-05-AK04-BO07</b>                                                                                                                       | <b>No. Semakan: 02</b> | <b>Tarikh Kuat Kuasa:<br/>27/01/2026</b> |
|                                                                                                                                                                                   | <b>BORANG DAN SENARAI SEMAK PENYERAHAN TESIS/DISERTASI<br/>SELEPAS PEMBETULAN</b><br><b>FORM AND CHECKLIST OF AMENDED THESIS/DISSERTATION<br/>SUBMISSION</b> |                        |                                          |

**BORANG PENYERAHAN TESIS/DISERTASI YANG TELAH DIBUAT PEMBETULAN**  
**AMENDED THESIS/ DISSERTATION SUBMISSION**

| <b>A. MAKLUMAT PELAJAR (STUDENT DETAILS)</b>                                                                                                                                            |                                                                                                                        |                                                                                  |             |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------|-------------|
| Nama<br><i>Name</i>                                                                                                                                                                     | MOHD ERWAN BIN BASIRON                                                                                                 |                                                                                  |             |
| No. Pendaftaran<br><i>Registration No.</i>                                                                                                                                              | P130002                                                                                                                |                                                                                  |             |
| Jabatan<br><i>Department</i>                                                                                                                                                            | -                                                                                                                      |                                                                                  |             |
| Fakulti / Institut<br><i>Faculty / Institute</i>                                                                                                                                        | INSTITUT KEJURUTERAAN MIKRO & NANOELEKTRONIK                                                                           |                                                                                  |             |
| Program Pengajian<br><i>Program of Study</i>                                                                                                                                            | <b>Sarjana</b><br><i>(Master)</i> <input checked="" type="checkbox"/>                                                  | <b>Doktor Falsafah</b><br><i>(Doctor of Philosophy)</i> <input type="checkbox"/> |             |
| Alamat:<br><i>Address</i>                                                                                                                                                               | 75 Lorong Pauh Jaya 4/7<br>Taman Pauh Jaya<br>13700 Perai Pulau Pinang                                                 |                                                                                  |             |
| E-mel/ <i>Email</i> :                                                                                                                                                                   | erwan.basiron@sandisk.com                                                                                              | No. Telefon/ <i>Tel. No</i> :                                                    | 019-4120508 |
| <b>B. MAKLUMAT TESIS / DISERTASI (THESIS / DISSERTATION DETAILS)</b>                                                                                                                    |                                                                                                                        |                                                                                  |             |
| Tajuk Tesis/ Disertasi ( <i>Thesis / Dissertation Title</i> ):<br>PEMBANGUNAN KRITERIA PENENTUAN PARAMETER $\eta$ DALAM PENILAIAN RETAKAN SAMBUNGAN PATERI                              |                                                                                                                        |                                                                                  |             |
| Tandatangan:<br><i>Signature</i>                                                                     | Tarikh:<br><i>Date</i> 12 JULAI 2026                                                                                   |                                                                                  |             |
| <b>C. PERAKUAN PENYELIA DAN PEMERIKSA DALAM **<br/>(APPROVAL FROM SUPERVISORS AND INTERNAL EXAMINER) **</b>                                                                             |                                                                                                                        |                                                                                  |             |
| Nama: PROF. DR. AZMAN JALAR<br><i>Name</i><br><br>(Penyelia Utama/ <del>Pengerusi Jawatankuasa Penyeliaan</del> )<br><i>(Main Supervisor/ Chairperson of The Supervisory Committee)</i> | Tandatangan:<br><i>Signature</i>  |                                                                                  |             |



UKM-SPKPPP-PT(PdP)-05-AK04-BO07

No. Semakan: 02

Tarikh Kuat Kuasa:  
27/01/2026**BORANG DAN SENARAI SEMAK PENYERAHAN TESIS/DISERTASI  
SELEPAS PEMBETULAN  
FORM AND CHECKLIST OF AMENDED THESIS/DISSERTATION  
SUBMISSION**

Nama/Name: DR. MARIA ABU BAKAR

(Penyelia Bersama / Ahli Jawatankuasa Penyeliaan)  
(Co-Supervisor/ Member of Supervisory Committee)Tandatangan:  
Signature

Nama/Name:

(Ahli Jawatankuasa Penyeliaan / Member of Supervisory Committee)

Tandatangan:  
Signature

Nama/Name: Dr. Muhammad Aniq Shazni Mohammad Haniff

(Pemeriksa Dalam / Internal Examiner)

Tandatang  
Signature

\*\*Potong yang tidak berkenaan / Delete where not appropriate

**D. PENGESAHAN FORMAT TESIS/DISERTASI / CONFIRMATION OF THESIS/DISSERTATION FORMAT COMPLIANCE**

Disahkan bahawa format tesis/disertasi adalah mengikut Gaya UKM dan calon dibenarkan menyerahkan tesis/disertasi dalam bentuk salinan lembut.

*This is to confirm that the thesis/dissertation format complies with the UKM Style Guide and is approved for submission in soft copy form.*

Tandatangan:

Tarikh: 12 JULAI 2026  
Date(Penyelia Utama / Pengerusi Jawatankuasa Penyeliaan)  
(Main Supervisor/ Chairperson of The Supervisory Committee)**E. PERAKUAN KETUA JABATAN / KETUA PROGRAM / PENERUSI PUSAT PENGAJIAN  
APPROVAL FROM HEAD OF DEPARTMENT / HEAD OF PROGRAM / SCHOOL CHAIRPERSON**Tandatangan:  
SignatureNama dan Cap Rasmi:  
Name and Official StampPIRCE MADYA DR. MUHAMAD RAMDZAN BIN BUYONG  
Timbalan Pengerusi  
Institut Kejuruteraan Mikro dan Nanoelektronik (IMEN)  
Universiti Kebangsaan Malaysia  
43600 UKM BangiTarikh: 20 Julai 2026  
Date



UKM-SPKPPP-PT(PdP)-05-AK04-BO07

No. Semakan: 02

Tarikh Kuat Kuasa:  
27/01/2026**BORANG DAN SENARAI SEMAK PENYERAHAN TESIS/DISERTASI  
SELEPAS PEMBETULAN  
FORM AND CHECKLIST OF AMENDED THESIS/DISSERTATION  
SUBMISSION****F. KELULUSAN DEKAN/PENGARAH / APPROVAL FROM DEAN/DIRECTOR**

Tandatangan:

Signature

Tarikh:

Date 21 Julai 2026

PROF. IR. DR. AHMAD ASHRIF A. BAKAR

Pengerah

Institut Kajian Miro dan Nanoelektronik (IMEN)

Universiti Kebangsaan Malaysia

43600 UKM Bangi

Nama dan Cap Rasmi:

Name and Official Stamp

**G. PERAKUAN TESIS/ DISERTASI SARJANA / DOKTOR FALSAFAH  
(CERTIFICATION OF MASTER'S / DOCTORAL THESIS / DISSERTATION)**Nama penuh pengarang  
(Author's Full Name)

MOHD ERWAN BIN BASIRON

No. Pendaftaran Pelajar  
(Student's Registration No.)

P130002

Sesi Akademik  
(Academic  
Session)

1/20262027

Tajuk Tesis / Disertasi  
(Thesis / Dissertation Title)PEMBANGUNAN KRITERIA PENENTUAN PARAMETER  $\eta$  DALAM PENILAIAN  
RETAKAN SAMBUNGAN PATERI

Semua tesis/disertasi dan penerbitan berkaitan hasil penyelidikan pelajar adalah tertakluk kepada Dasar Harta Intelek Universiti Kebangsaan Malaysia.

*All theses/ dissertations and publications relating to the research work of a student are subject to the Intellectual Property Policy of Universiti Kebangsaan Malaysia.*

Saya mengaku bahawa tahap akses tesis/disertasi ini sebagai (\*Tandakan ✓ dalam kotak bagi maklumat yang berkaitan; tandakan satu (1) kotak di bawah sahaja):

*I hereby declare the level of access for this thesis/dissertation as follows (tick ✓ the relevant box below; tick only one option).*

| Pilihan Tahap Akses<br>Access Level Selection |                                  | Tafsiran Tahap Akses Tesis/Disertasi<br>Definition of Thesis/Dissertation Access Level                                                                                                                                                                                                                                                                                                                      |
|-----------------------------------------------|----------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <input type="checkbox"/>                      | <b>RAHSIA<br/>(CONFIDENTIAL)</b> | Mengandungi maklumat rahsia sepertimana yang diperuntukan bawah Akta Rahsia Rasmi 1972.<br><i>Contains classified information as stipulated under the Official Secrets Act 1972.</i>                                                                                                                                                                                                                        |
| <input checked="" type="checkbox"/>           | <b>TERHAD<br/>(RESTRICTED)</b>   | Mengandungi maklumat yang hanya boleh diakses oleh pihak yang mempunyai kebenaran atau keperluan tertentu untuk mengetahuinya yang ditentukan oleh organisasi/ badan di mana penyelidikan dijalankan.<br><i>Contains information that may only be accessed by parties with specific authorization or a defined need to know, as determined by the organization or body where the research is conducted.</i> |

**BORANG DAN SENARAI SEMAK PENYERAHAN TESIS/DISERTASI  
SELEPAS PEMBETULAN  
FORM AND CHECKLIST OF AMENDED THESIS/DISSERTATION  
SUBMISSION**

|                          |                                         |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|--------------------------|-----------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <input type="checkbox"/> | <b>AKSES TERBUKA<br/>(OPEN ACCESS)-</b> | <p>Tesis/disertasi versi akhir dalam format PDF yang boleh diakses secara percuma secara dalam talian dan bebas dari isu hak cipta dan pelesenan<br/><i>The final version of the thesis/dissertation in PDF format that is freely accessible online and free from copyright and licensing issues.</i></p> <p>Kementerian Pendidikan Tinggi melalui surat bertarikh 27 Mac 2025 memutuskan bahawa kebenaran akses tesis / disertasi dalam borang serahan akses terbuka ditentukan oleh penyelia (bukan pelajar).<br/><i>The Ministry of Higher Education, through a letter dated 27 March 2025, has decided that permission for thesis / dissertation access in the open access submission form shall be determined by the supervisor (not the student).</i></p> |
| <input type="checkbox"/> | <b>EMBARGO</b>                          | <p>Tempoh masa di mana akses kepada tesis/disertasi disekat (ditutup) selama dua (2) tahun atas sebab-sebab tertentu sebagai contoh kerahsiaan atau hak cipta. Tesis/disertasi akan berstatus akses terbuka selepas tamat tempoh <i>embargo</i>.<br/><i>The period during which access to the thesis/dissertation is restricted for two (2) years due to specific reasons, such as confidentiality or copyright. The thesis/dissertation will be granted open-access status upon the expiry of the embargo period.</i></p>                                                                                                                                                                                                                                      |

| PENGESAHAN PELAJAR (STUDENT VERIFICATION)                                                                                                                           |  | PENGESAHAN PENYELIA (SUPERVISOR VERIFICATION)                                                                                                                                                                         |  |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|--|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--|
| <br><b>TANDATANGAN PELAJAR<br/>(STUDENT'S SIGNATURE)</b>                         |  | <br><b>TANDATANGAN PENYELIA / Pengerusi JK<br/>SISWAZAH<br/>(SUPERVISOR'S / CHAIRPERSON SUPERVISION<br/>COMMITTEE SIGNATURE)</b> |  |
| <p>Nama Pelajar (Student name): MOHD ERWAN BIN BASIRON<br/>No. Pendaftaran Pelajar (Student's Registration No.) P130002</p> <p>Tarikh: 12 JULAI 2026<br/>(Date)</p> |  | <p>Nama Penyelia / Pengerusi JK Siswazah: (Supervisor's / Chairperson Supervision Committee Name) PROF. DR. AZMAN JALAR</p> <p>Tarikh: 12 JULAI 2026<br/>(Date)</p>                                                   |  |

### **PENGAKUAN**

Saya akui karya ini adalah hasil kerja saya sendiri kecuali nukilan dan ringkasan yang tiap-tiap satunya telah saya jelaskan sumbernya.

16 Julai 2026

MOHD ERWAN BIN BASIRON  
P130002

## PENGHARGAAN

Syukur ke hadrat Allah S.W.T. kerana dengan limpah kurnia dan izin-Nya, saya telah berjaya menyiapkan tesis ini. Segala puji bagi Allah yang telah memberikan kekuatan, kesabaran dan kelapangan waktu sepanjang perjalanan penyelidikan ini.

Setinggi-tinggi penghargaan yang tidak terhingga saya rakamkan kepada kedua-dua penyelia saya, Prof. Dr. Azman Jalar dan Dr. Maria Abu Bakar atas segala bimbingan, nasihat yang bernas, dorongan berterusan serta keprihatinan yang diberikan sepanjang tempoh penyelidikan ini. Panduan dan tunjuk ajar yang diberikan amat bernilai dan menjadi asas penting dalam memastikan kajian ini dapat disempurnakan dengan baik.

Ucapan terima kasih juga saya tujukan kepada SanDisk Storage Malaysia Sdn. Bhd. atas sokongan kewangan melalui geran penyelidikan RR-2020-004 yang telah membolehkan kajian ini dijalankan dengan lancar. Saya juga ingin merakamkan setinggi-tinggi penghargaan kepada pengurus saya, Nirbhaya Pathak, serta rakan-rakan sekerja, khususnya Dr. Adlil Aizat bin Ismail, Azman Ahmad, Nezam Hussin, dan semua rakan atas bantuan teknikal, perkongsian ilmu serta galakan yang tidak putus-putus sepanjang tempoh penyelidikan ini.

Ucapan terima kasih yang paling istimewa saya tujukan kepada isteri tercinta, Wan Juliawati binti Wan Jusoh, serta anak-anak saya (Nur Erlia Nadiah, Muhammad Eikhwan, Nur Erlia Nadhirah, Muhammad Eikhram dan Muhammad Eikhsan) atas kesabaran, pengorbanan, doa dan sokongan moral yang berterusan. Dorongan daripada keluarga tersayang menjadi sumber kekuatan utama yang mendorong saya untuk terus berusaha sehingga tesis ini berjaya disiapkan.

Akhir kata, saya merakamkan setinggi-tinggi penghargaan kepada semua pihak yang terlibat dalam menjayakan kajian ini, sama ada secara langsung atau tidak langsung. Semoga segala jasa dan kebaikan yang diberikan mendapat balasan yang sebaik-baiknya daripada Allah S.W.T.

Sekian, terima kasih. Wassalam.

## ABSTRAK

Pemacu keadaan pepejal *enterprise* (SSD *enterprise*) merupakan komponen storan kritikal dalam aplikasi pusat data dan sistem perusahaan yang memerlukan tahap kebolehharapan yang tinggi sepanjang kitaran hayat operasi. Walaupun SSD *enterprise* tidak mengandungi komponen mekanikal bergerak, kebolehharapan jangka panjangnya masih sangat bergantung kepada integriti sambungan pateri pada peringkat papan litar bercetak. Sambungan pateri ini terdedah kepada tegasan termal berulang akibat variasi suhu operasi dan persekitaran, yang berpotensi menyebabkan kelesuan termal, perambatan retakan dan kegagalan sambungan. Kajian ini bertujuan untuk menilai kebolehharapan sambungan pateri elektronik dalam empat komponen kritikal SSD *enterprise* iaitu *controller*, PMIC, DDR dan NAND didedahkan kepada ujian kitaran suhu (TCT) yang berbeza. Penilaian dilakukan melalui gabungan ujian kefungsian elektrik, analisis kegagalan fizikal menggunakan kaedah penembusan pewarna dan pemisahan (DnP), serta pembangunan satu metrik baharu iaitu indeks keretakan sambungan pateri komponen elektronik ternormal,  $\eta$  (indeks  $\eta$ ). Indeks  $\eta$  dibangunkan bagi menormalisasi tahap keretakan sambungan pateri dengan mengambil kira bilangan sambungan dan keparahan kerosakan, seterusnya membolehkan perbandingan kebolehharapan dilakukan secara adil dan bermakna antara profil ujian TCT yang berbeza. Keputusan kajian menunjukkan bahawa walaupun SSD *enterprise* masih melepasi ujian kefungsian elektrik selepas pendedahan kepada TCT, analisis DnP mendedahkan kewujudan kerosakan fizikal yang signifikan pada sambungan pateri. Nilai purata indeks ternormal  $\eta$  yang diperolehi bagi profil ujian TCT A, TCT B dan TCT C masing-masing adalah 0.01, 0.03 dan 0.05. Perbandingan ini menunjukkan bahawa profil ujian TCT C menghasilkan tahap keparahan keretakan sambungan pateri yang paling tinggi, dengan faktor keparahan relatif kira-kira 4.1 kali ganda berbanding TCT A. Selain itu, kajian ini turut menunjukkan bahawa jenis salutan kaki komponen QFN mempengaruhi prestasi kebolehharapan sambungan pateri yang mana salutan nikel-paladium-emas (NiPdAu) menunjukkan ketahanan yang lebih baik berbanding salutan timah (Sn) dan pra-pateri di bawah pendedahan TCT yang sama. Secara keseluruhannya, kajian ini membuktikan bahawa indeks ternormal  $\eta$  merupakan satu pendekatan kuantitatif yang berkesan untuk menilai keparahan kerosakan sambungan pateri dan boleh digunakan sebagai alat sokongan dalam proses reka bentuk dan kelayakan SSD *enterprise*.

## DEVELOPMENT OF CRITERIA FOR PARAMETER $\eta$ IN ELECTRONIC SOLDER JOINT CRACK ASSESSMENT

### ABSTRACT

Enterprise solid state drives (*enterprise SSD*) are critical storage components in data center and enterprise applications that demand high reliability throughout their operational lifetime. Although *enterprise SSD* devices do not contain moving mechanical parts, their long-term reliability is strongly dependent on the integrity of electronic solder joints at the printed circuit board level. These solder joints are subjected to repeated thermal stresses caused by operating temperature variations and environmental conditions, which may lead to thermal fatigue, crack propagation, and eventual joint failure. This study aims to evaluate the reliability of electronic solder joints in four critical enterprise SSD components i.e controller, PMIC, DDR, and NAND subjected to various temperature cycling tests (TCT). This study aims to evaluate the reliability of electronic solder joints in *enterprise SSD* under different temperature cycle test (TCT) profiles. The evaluation is conducted through a combination of electrical functional testing, physical failure analysis using the dye and pull (DnP) method, and the development of a novel metric known as the normalized electronic component solder joint crack index,  $\eta$  (index  $\eta$ ). The  $\eta$  index is developed to normalize solder joint crack severity by considering both the number of solder joints and the extent of damage, enabling fair and meaningful comparison of reliability across different TCT profiles. The results show that although *enterprise SSD* samples continue to pass electrical functional tests after TCT exposure, DnP analysis reveals significant physical damage in the solder joints. The average  $\eta$  values obtained for TCT A, TCT B, and TCT C are 0.01, 0.03, and 0.05, respectively. These results indicate that TCT C induces the most severe solder joint cracking, with a relative severity factor of approximately 4.1 times compared to TCT A. In addition, the study demonstrates that the lead plating type of QFN components significantly affects solder joint reliability, where nickel–palladium–gold (NiPdAu) plating exhibits superior performance compared to tin (Sn) plating and pre-solder plating under the same TCT conditions. Overall, this study confirms that the  $\eta$  index is an effective quantitative tool for assessing solder joint crack severity and can serve as a valuable aid in the design and qualification process of *SSD enterprise*.

## KANDUNGAN

|                          | <b>Halaman</b> |
|--------------------------|----------------|
| <b>PENGAKUAN</b>         | <b>ii</b>      |
| <b>PENGHARGAAN</b>       | <b>iii</b>     |
| <b>ABSTRAK</b>           | <b>iv</b>      |
| <b>ABSTRACT</b>          | <b>v</b>       |
| <b>KANDUNGAN</b>         | <b>vi</b>      |
| <b>SENARAI JADUAL</b>    | <b>ix</b>      |
| <b>SENARAI RAJAH</b>     | <b>x</b>       |
| <b>SENARAI SINGKATAN</b> | <b>xii</b>     |
| <b>SENARAI SIMBOL</b>    | <b>xiv</b>     |

|               |                                                                                |    |
|---------------|--------------------------------------------------------------------------------|----|
| <b>BAB I</b>  | <b>Pengenalan</b>                                                              |    |
| 1.1           | Pendahuluan                                                                    | 1  |
| 1.2           | Permasalahan Kajian                                                            | 6  |
| 1.3           | Objektif Kajian                                                                | 8  |
| 1.4           | Skop Kajian                                                                    | 8  |
| 1.5           | Limitasi Kajian                                                                | 9  |
| 1.6           | Keaslian Kajian                                                                | 9  |
| 1.7           | Organisasi Tesis                                                               | 10 |
| <b>BAB II</b> | <b>KAJIAN LITERATUR</b>                                                        |    |
| 2.1           | Pengenalan                                                                     | 11 |
| 2.2           | Teknologi Memori                                                               | 11 |
| 2.3           | Ujian Kebolehharian Komponen Elektronik                                        | 20 |
| 2.3.1         | Ujian Kitaran Suhu                                                             | 22 |
| 2.3.2         | Ujian Pincang Suhu Kelembapan dan Ujian Tekanan Suhu Dan Kelembapan Dipercepat | 27 |
| 2.3.3         | Ujian Kejutan Mekanikal dan Getaran                                            | 29 |
| 2.3.4         | Ujian Penuaan Dipercepat                                                       | 31 |

|     |       |                                                                |    |
|-----|-------|----------------------------------------------------------------|----|
|     | 2.3.5 | Ujian Ketahanan Operasi                                        | 32 |
| 2.4 |       | Kesan Ujian Kitaran Suhu Terhadap Sambungan Pateri             | 33 |
|     | 2.4.1 | Kelesuan Terma Akibat Ketidakpadanan Pekali Pengembangan Terma | 34 |
|     | 2.4.2 | Tekanan Mekanikal                                              | 35 |
|     | 2.4.3 | Kegagalan Sambungan Pateri                                     | 35 |
|     | 2.4.4 | Faktor Persekitaran                                            | 36 |
|     | 2.4.5 | Kualiti Proses Pembuatan Pakej Elektronik                      | 36 |
|     | 2.4.6 | Kebolehharian Sambungan Pateri Pada Peringkat Papan Litar      | 37 |
|     | 2.4.7 | Jenis Komponen Dan Kesan Terhadap Kebolehharian                | 37 |
| 2.5 |       | Kaedah Penilaian Keretakan Sambungan Pateri                    | 39 |
| 2.6 |       | Jurang Kajian                                                  | 42 |

### BAB III

### METODOLOGI KAJIAN

|     |       |                                                                              |    |
|-----|-------|------------------------------------------------------------------------------|----|
| 3.1 |       | Pengenalan                                                                   | 49 |
| 3.2 |       | Reka Bentuk Kajian                                                           | 49 |
| 3.3 |       | Spesifikasi Sistem dan Komponen dalam SSD <i>Enterprise</i>                  | 51 |
| 3.4 |       | Profil Ujian Kitaran Suhu                                                    | 52 |
| 3.5 |       | Kaedah Analisis Kegagalan Sambungan Pateri: Penembusan Pewarna dan Pemisahan | 55 |
|     | 3.5.1 | Pemilihan Sampel                                                             | 56 |
|     | 3.5.2 | Penyediaan Sampel                                                            | 57 |
|     | 3.5.3 | Perendaman Pewarna                                                           | 57 |
|     | 3.5.4 | Pembakaran                                                                   | 58 |
|     | 3.5.5 | Persediaan untuk Pengumpulan                                                 | 58 |
|     | 3.5.6 | Pengumpulan                                                                  | 58 |
|     | 3.5.7 | Pemeriksaan dan Penggredan                                                   | 59 |
| 3.6 |       | Ujian Kefungsian Elektrik                                                    | 61 |
| 3.7 |       | Pembangunan Indeks Retakan Sambungan Pateri Komponen Elektronik Ternormal    | 63 |
|     | 3.7.1 | Rasional Pembangunan Indeks $\eta$                                           | 63 |
|     | 3.7.2 | Pengelasan Mod Keretakan dan Nisbah Retakan                                  | 64 |
|     | 3.7.3 | Pengiraan Indeks Retakan Sambungan Pateri Ternormal                          | 65 |
|     | 3.7.4 | Aplikasi Indeks $\eta$ dalam Penilaian Profil ujian TCT                      | 66 |
| 3.8 |       | Kaedah Analisis Data                                                         | 66 |

|     |                                       |    |
|-----|---------------------------------------|----|
| 3.9 | Kesahan dan Kebolehharian Data Kajian | 69 |
|-----|---------------------------------------|----|

#### **BAB IV                      KEPUTUSAN DAN PERBINCANGAN**

|     |                                                                                           |    |
|-----|-------------------------------------------------------------------------------------------|----|
| 4.1 | Pengenalan                                                                                | 71 |
| 4.2 | Keputusan Ujian Kefungsian Elektrik                                                       | 71 |
| 4.3 | Keputusan Analisis Keretakan Sambungan Pateri                                             | 73 |
| 4.4 | Pengiraan dan Perbandingan Indeks Retakan Sambungan Pateri Ternormal                      | 75 |
| 4.5 | Perbincangan Kesan Profil Ujian TCT Terhadap Keparahan Relatif Keretakan Sambungan Pateri | 78 |
| 4.6 | Implikasi Terhadap Reka Bentuk Dan Kelayakan SSD <i>Enterprise</i>                        | 81 |
| 4.7 | Pengunaan Indeks Dalam Perbandingan Prestasi Jenis Salutan Kaki QFN                       | 85 |

#### **BAB V                      KESIMPULAN DAN CADANGAN**

|     |            |    |
|-----|------------|----|
| 5.1 | Kesimpulan | 92 |
| 5.2 | Cadangan   | 94 |

|                |    |
|----------------|----|
| <b>RUJUKAN</b> | 95 |
|----------------|----|

|                   |     |
|-------------------|-----|
| <b>LAMPIRAN A</b> | 103 |
|-------------------|-----|

## SENARAI JADUAL

| No. Jadual |                                                                                                                                 | Halaman |
|------------|---------------------------------------------------------------------------------------------------------------------------------|---------|
| Jadual 2.1 | Profil ujian TCT mengikut piawaian JEDEC JESD22-A104F.                                                                          | 23      |
| Jadual 3.1 | Ringkasan komponen kritikal dalam SSD <i>enterprise</i> yang terlibat dalam kajian.                                             | 52      |
| Jadual 3.2 | Parameter profil ujian TCT yang digunakan dalam kajian.                                                                         | 53      |
| Jadual 3.3 | Ringkasan parameter untuk ujian kefungsian elektrik SSD <i>enterprise</i> dilakukan sebelum dan selepas TCT.                    | 62      |
| Jadual 3.4 | Pengelasan mod keretakan sambungan pateri berdasarkan peratusan penembusan pewarna                                              | 64      |
| Jadual 3.5 | Pengelasan mod keretakan sambungan pateri berdasarkan peratusan penembusan pewarna.                                             | 65      |
| Jadual 4.1 | Keputusan ujian kefungsian elektrik SSD <i>enterprise</i> sebelum dan selepas pendedahan kepada ujian TCT.                      | 72      |
| Jadual 4.2 | Nilai indeks $\eta$ bagi SSD <i>enterprise</i> di bawah profil ujian TCT yang berbeza.                                          | 76      |
| Jadual 4.3 | Nilai indeks $\eta$ mengikut komponen dan profil ujian TCT.                                                                     | 82      |
| Jadual 4.4 | Perbandingan prestasi keretakan sambungan pateri bagi QFN dengan jenis salutan kaki yang berbeza selepas 750 kitaran ujian TCT. | 88      |

## SENARAI RAJAH

| No. Rajah |                                                                                                                                                                                                                | Halaman |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|
| Rajah 1.1 | Jenis-jenis teknologi dan contoh produk storan komersial yang digunakan secara meluas dalam aplikasi pengguna dan industri.                                                                                    | 2       |
| Rajah 2.1 | Ilustrasi pakej SSD enterprise: (a) lokasi penutup atas, komponen SSD enterprise pada PCB dan penutup bawah, (b) kedudukan komponen pada PCB bahagian atas dan (c) kedudukan komponen pada PCB bahagian bawah. | 14      |
| Rajah 2.2 | Contoh reka bentuk SSD <i>enterprise form factor</i> .                                                                                                                                                         | 18      |
| Rajah 2.3 | Contoh profil ujian TCT.                                                                                                                                                                                       | 27      |
| Rajah 2.4 | Skematik profil ujian HAST.                                                                                                                                                                                    | 29      |
| Rajah 2.5 | Skematik ujian kejutan mekanikal dan getaran.                                                                                                                                                                  | 30      |
| Rajah 2.6 | Contoh produk SSD <i>enterprise</i> yang disambungkan ke komputer dengan program beban kerja yang berupaya melakukan operasi baca dan tulis yang berterusan.                                                   | 33      |
| Rajah 3.1 | Carta alir kajian bagi pembangunan kriteria penentuan parameter $\eta$ dalam penilaian retakan sambungan pateri.                                                                                               | 50      |
| Rajah 3.2 | Susun atur komponen utama SSD <i>enterprise</i> pada PCB yang digunakan dalam kajian ini.                                                                                                                      | 51      |
| Rajah 3.3 | Profil ujian TCT A, B dan C yang digunakan dalam kajian ini.                                                                                                                                                   | 53      |
| Rajah 3.4 | Carta alir proses DnP.                                                                                                                                                                                         | 56      |
| Rajah 3.5 | (a): Skematik mod penembusan pewarna, (b) contoh pemetaan gred DnP, (c) keadaan sisi PCB dan (d) keadaan sisi komponen selepas proses DnP.                                                                     | 59      |
| Rajah 3.6 | Contoh mesin ujian kefungsiian elektrik yang digunakan bagi penilaian operasi SSD <i>enterprise</i> .                                                                                                          | 62      |
| Rajah 3.7 | Contoh pemetaan komponen yang telah digredkan dengan mod keretakan bagi matrik sambungan pateri 6 x 13.                                                                                                        | 68      |

|           |                                                                                                                                                                       |    |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Rajah 4.1 | Contoh taburan mod keretakan sambungan pateri bagi (a): <i>controller</i> , (b) PMIC, (c) DDR dan (d) NAND SSD <i>enterprise</i> selepas pendedahan kepada ujian TCT. | 74 |
| Rajah 4.2 | Perbandingan nilai indeks $\eta$ bagi profil ujian TCT A, TCT B dan TCT C.                                                                                            | 77 |
| Rajah 4.3 | Nilai indeks $\eta$ bagi setiap komponen dalam SSD <i>enterprise</i> untuk setiap jenis profil ujian TCT.                                                             | 85 |
| Rajah 4.4 | Contoh retakan sambungan pateri elektronik QFN dengan salutan yang biasa dilihat selepas ujian TCT.                                                                   | 86 |



## SENARAI SINGKATAN

|         |                                                                                                                 |
|---------|-----------------------------------------------------------------------------------------------------------------|
| AI      | kecerdasan buatan ( <i>artificial intelligence</i> )                                                            |
| AIC     | <i>add-in card</i>                                                                                              |
| ALT     | ujian penuaan dipercepat ( <i>accelerated life testing</i> )                                                    |
| BGA     | tatasusunan grid bebola ( <i>ball grid array</i> )                                                              |
| CD      | cakera padat ( <i>compact disc</i> )                                                                            |
| CGPA    | purata nilai gred kumulatif ( <i>cumulative grade point average</i> )                                           |
| CTE     | pekali pengembangan terma ( <i>coefficient of thermal expansion</i> )                                           |
| DDR     | kadar data berganda ( <i>double data rate</i> )                                                                 |
| DC      | arus terus                                                                                                      |
| DDR     | kadar data berganda ( <i>double data rate</i> )                                                                 |
| DDR-RAM | memori capaian rawak kadar data berganda ( <i>double data rate random access memory</i> )                       |
| DfR     | reka bentuk untuk kebolehhidupan ( <i>design for reliability</i> )                                              |
| DLWA    | <i>device level write amplification</i>                                                                         |
| DVD     | cakera video digital ( <i>digital video disc</i> )                                                              |
| DnP     | penembusan pewarna dan pemisahan ( <i>dye and pull</i> )                                                        |
| EDSFF   | <i>enterprise and datacenter standard form factor</i>                                                           |
| eMMC    | <i>embedded multimedia card</i>                                                                                 |
| ESS     | <i>environmental stress screening</i>                                                                           |
| FEM     | <i>finite element model</i>                                                                                     |
| HAST    | ujian tekanan suhu dan kelembapan dipercepat ( <i>highly accelerated temperature and humidity stress test</i> ) |
| HDD     | pemacu cakera keras ( <i>hard disc drive</i> )                                                                  |
| IMC     | sebatian antara logam ( <i>intermetallic compound</i> )                                                         |
| IOPS    | <i>input/output</i>                                                                                             |
| IPA     | <i>isopropyl alcohol</i>                                                                                        |
| IPC     | <i>Institute of Printed Circuit</i>                                                                             |
| JEDEC   | <i>Joint Electron Device Engineering Council</i>                                                                |
| LIT     | termografi <i>lock-in</i>                                                                                       |
| MTBF    | purata masa sebelum kegagalan                                                                                   |

|                |                                                                                                            |
|----------------|------------------------------------------------------------------------------------------------------------|
| MTP            | <i>Memory Technology Penang</i>                                                                            |
| NiPdAu         | nikel-paladium-emas ( <i>nickel–palladium–gold</i> )                                                       |
| OSP            | <i>organic solderability preservative</i>                                                                  |
| PCB            | papan litar bercetak ( <i>printed circuit board</i> )                                                      |
| PCBA           | papan litar bercetak ( <i>printed circuit board assembly</i> )                                             |
| PTDI           | pembangunan dan integrasi teknologi pempakejan ( <i>package technology development &amp; integration</i> ) |
| PMIC           | litar bersepadu pengurusan kuasa ( <i>power management integrated circuit</i> )                            |
| QFN            | <i>quad flat no-lead</i>                                                                                   |
| QFP            | <i>quad flat package</i>                                                                                   |
| SEM            | mikroskop elektron imbasan                                                                                 |
| SMT            | teknologi lekapan permukaan ( <i>surface mount technology</i> )                                            |
| Sn             | timah ( <i>tin</i> )                                                                                       |
| SNIA           | Storage Networking Industry Association                                                                    |
| SSD            | pemacu keadaan pepejal ( <i>solid state drive</i> )                                                        |
| SSD enterprise | pemacu keadaan pepejal enterprise ( <i>enterprise solid state drive</i> )                                  |
| TBW            | <i>terabytes written</i>                                                                                   |
| TCT            | ujian kitaran suhu ( <i>temperature cycle test</i> )                                                       |
| THB            | pincang suhu kelembapan ( <i>temperature humidity bias</i> )                                               |
| UFS            | <i>universal flash storage</i>                                                                             |
| USB            | <i>universal serial bus</i>                                                                                |
| WLCSP          | <i>wafer level chip scale package</i>                                                                      |

## SENARAI SIMBOL

|                    |                                                                |
|--------------------|----------------------------------------------------------------|
| $C$                | nisbah keretakan sambungan pateri individu diperolehi dari DnP |
| $i=1$              | sambungan pertama pateri                                       |
| $\eta$             | keretakan sambungan pateri komponen elektronik ternormal       |
| $n$                | sambungan terakhir pateri                                      |
| $N$                | bilangan sambungan pateri bagi satu komponen                   |
| $N_i$              | bilangan sambungan pateri bagi mod keretakan ke-i              |
| $N_{\text{total}}$ | jumlah keseluruhan sambungan pateri bagi sesuatu komponen      |
| $\Sigma$           | jumlah semua peratus keretakan                                 |



## BAB I

### PENGENALAN

#### 1.1 PENDAHULUAN

Perkembangan teknologi storan data telah melalui evolusi yang panjang, bermula daripada teknologi storan berasaskan media magnetik dan optikal kepada teknologi storan berasaskan semikonduktor. Pada peringkat awal, data digital banyak disimpan menggunakan media seperti pita magnetik, cakera liut, cakera keras magnetik dan cakera optikal seperti cakera padat (CD) serta cakera video digital (DVD). Walaupun teknologi ini memainkan peranan penting dalam pembangunan sistem pengkomputeran, teknologi ini mempunyai beberapa keterbatasan dari segi kelajuan capaian data, ketahanan mekanikal, saiz fizikal serta penggunaan tenaga. Keperluan terhadap sistem storan yang lebih pantas, lebih kecil, lebih cekap tenaga dan lebih tahan terhadap kejutan mekanikal telah mendorong perkembangan teknologi memori berasaskan semikonduktor. Dalam konteks ini, teknologi memori kilat, khususnya memori kilat NAND, telah menjadi asas penting kepada generasi baharu produk storan elektronik moden (Anzel et al. 2021).

Memori *flash* (*memory flash*) merupakan sejenis memori tidak meruap. Data yang disimpan dalam memori *flash* akan kekal walaupun bekalan kuasa dimatikan. Secara umum, teknologi memori kilat boleh dibahagikan kepada beberapa kategori, termasuk NOR *flash* dan NAND *flash*. NOR *flash* lazimnya digunakan untuk aplikasi yang memerlukan capaian rawak pantas kepada kod program. Manakala NAND *flash* lebih sesuai untuk aplikasi storan berkapasiti tinggi kerana kepadatan storan yang lebih baik dan kos setiap bit yang lebih rendah. Perkembangan teknologi NAND *flash* telah membolehkan penghasilan pelbagai bentuk produk storan bersaiz kecil tetapi berkapasiti besar (Raquibuzzaman et al. 2022). Antara produk yang menggunakan

NAND *flash* termasuk kad memori, pemacu *universal serial bus* (USB), *embedded multimedia card* (eMMC), *universal flash storage* (UFS), serta pemacu keadaan pepejal (SSD). Dalam kalangan produk tersebut, SSD merupakan salah satu aplikasi NAND *flash* yang paling penting. SSD digunakan secara meluas dalam komputer peribadi, komputer riba, pelayan, sistem pusat data dan aplikasi perusahaan berskala besar.

| Teknologi            | Contoh Produk Storan                                                                                                                                                                          |
|----------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Optikal              |  <div> <div>Cakera Padat</div> <div>Cakera Digital Video</div> <div>Cakera Blu-ray</div> </div>             |
| Magnetik             |  <div> <div>Cakera Liut</div> <div>Pemacu Cakera Keras</div> </div>                                        |
| Memori Kilat (Flash) |  <div> <div>Kad Memori</div> <div>Pemacu Memori Pena</div> <div>Pemacu Keadaan Pepejal (SSD)</div> </div> |

Rajah 1.1 Jenis-jenis teknologi dan contoh produk storan komersial yang digunakan secara meluas dalam aplikasi pengguna dan industri.

Sumber: SNIA (2024)

SSD tidak mempunyai komponen mekanikal bergerak jika dibandingkan dengan pemacu cakera keras (HDD). SSD menawarkan kelajuan capaian data yang lebih tinggi, masa tindak balas yang lebih rendah, ketahanan yang lebih baik terhadap kejutan fizikal serta penggunaan tenaga yang lebih cekap (Hassani et al. 2026). SSD juga mempunyai kelebihan dari segi kebolehskalaan kapasiti, ketumpatan storan dan kesesuaian untuk aplikasi berprestasi tinggi. Dalam persekitaran pusat data dan sistem perusahaan, SSD *enterprise* digunakan untuk menyokong aplikasi kritikal seperti pengkomputeran awan (*cloud computing*), analitik data berskala besar, kecerdasan buatan (AI), pemprosesan

transaksi, penyimpanan kandungan digital dan infrastruktur pelayan (*server*) beroperasi 24 jam (Ha & Son, 2026). Oleh itu, kebolehharapan SSD *enterprise* merupakan aspek penting kerana sebarang kegagalan boleh memberi kesan terhadap kesinambungan operasi sistem, integriti data dan kos penyelenggaraan.

Dari sudut reka bentuk fizikal, SSD boleh hadir dalam pelbagai *form factor* bergantung kepada aplikasi dan persekitaran penggunaannya. Antara *form factor* yang lazim digunakan dalam industri termasuk 2.5 inci U.2/U.3, M.2, *add-in card* (AIC) serta *form factor* baharu untuk pusat data contohnya seperti *enterprise and datacenter standard form factor* (EDSFF) (Lau et al. 2021), termasuk keluarga E1 dan E3 seperti yang dirujuk dalam panduan *Storage Networking Industry Association* (SNIA 2024). Setiap *form factor* mempunyai ciri reka bentuk mekanikal, kaedah sambungan, had ruang, kaedah penyejukan dan susun atur papan litar yang berbeza. Dalam kajian ini, skop diberikan kepada SSD *enterprise* yang mempunyai *form factor* U.2 sahaja. Pemilihan U.2 dibuat kerana *form factor* ini banyak digunakan dalam aplikasi perusahaan dan pusat data. Selain itu, U.2 mempunyai struktur mekanikal yang mantap. Ini membolehkan penilaian kebolehharapan sambungan pateri dilakukan pada peringkat papan litar secara lebih terkawal. Dengan menghadkan kajian kepada satu *form factor*, variasi akibat perbezaan geometri papan litar bercetak (PCB), perumah, laluan haba dan susun atur komponen dapat dikurangkan, sekali gus membolehkan kesan profil ujian TCT terhadap sambungan pateri dinilai dengan lebih konsisten.

Struktur produk SSD *enterprise* lazimnya terdiri daripada perumah mekanikal, penyambung antara muka, PCB atau pemasangan PCB (PCBA) dan beberapa komponen elektronik utama. Komponen kritikal dalam SSD termasuk *controller* SSD, cip memori NAND, memori sementara seperti memori capaian rawak kadar data berganda (DDR-RAM) dan litar bersepadu pengurusan kuasa (PMIC). SSD berfungsi sebagai pusat kawalan yang mengurus komunikasi antara hos dan NAND, termasuk fungsi seperti pengurusan data, pemetaan alamat, pembetulan ralat, enkripsi data (*data encryption*) dan kawalan prestasi. Komponen NAND berfungsi sebagai medium utama penyimpanan data. Manakala, komponen DDR-RAM digunakan sebagai memori sementara untuk mempercepat akses data dan menyokong operasi komponen *controller*. Komponen PMIC pula bertanggungjawab mengawal dan mengagihkan bekalan kuasa

kepada komponen-komponen dalam SSD. Kesemua komponen ini dipasang pada PCB melalui sambungan pateri, yang berfungsi sebagai laluan elektrik dan elemen sokongan mekanikal.

Dalam teknologi pempakejan elektronik moden, komponen seperti *controller*, NAND dan DDR-RAM sering menggunakan pakej tatasusunan grid bebola (BGA). Komponen BGA menggunakan banyak bebola pateri bahagian bawah pakej sebagai sambungan kepada pad pada papan litar (Chen et al. 2026b). Struktur asas sambungan BGA terdiri daripada substrat pakej, bebola pateri, pad tembaga pada PCB, lapisan antara muka logam dan bahan pateri yang membentuk sambungan setelah melalui proses pematerian aliran semula. Kelebihan BGA termasuk ketumpatan sambungan yang tinggi, prestasi elektrik yang baik dan kesesuaian untuk komponen berbilang pin tinggi. Walau bagaimanapun, sambungan BGA juga terdedah kepada tegasan termomekanikal akibat perbezaan pekali pengembangan terma (CTE) antara pakej, pateri dan PCB. Apabila SSD mengalami kitaran suhu berulang, bahan-bahan tersebut mengembang dan mengecut pada kadar yang berbeza, menyebabkan tegasan terkumpul pada sambungan pateri. Dalam jangka masa panjang, keadaan ini boleh menyebabkan kelesuan terma, pembentukan mikroretakan dan perambatan retakan pada bebola pateri (Li et al. 2023).

Selain komponen BGA, komponen seperti komponen PMIC lazimnya menggunakan pakej *quad flat no-lead* (QFN). Komponen QFN mempunyai pad sambungan pada bahagian bawah atau sisi bawah pakej dan tidak mempunyai kaki luar seperti pakej konvensional (Putuala et al. 2026). Walaupun komponen QFN menawarkan saiz kecil, prestasi elektrik yang baik dan laluan haba yang lebih cekap melalui pad terma, struktur sambungannya cenderung lebih tegar berbanding komponen BGA. Ketiadaan bebola pateri sebagai elemen yang boleh menyerap sebahagian ubah bentuk menjadikan sambungan komponen QFN lebih peka terhadap ketidakpadanan CTE, perubahan suhu dan tegasan pada pad sambungan. Oleh itu, dalam SSD *enterprise*, kedua-dua jenis komponen BGA dan QFN perlu dinilai kerana mekanisme kerosakan sambungan pateri bagi setiap pakej adalah berbeza. Perbezaan inilah yang menjadikan penilaian kebolehharian pada peringkat papan litar lebih mencabar, terutamanya apabila pelbagai jenis komponen dipasang pada satu PCBA yang sama.

Bagi menilai kebolehharapan sambungan pateri di bawah pengaruh perubahan suhu, industri semikonduktor menggunakan ujian kitaran suhu (TCT) sebagai salah satu ujian pecutan hayat. Ujian TCT mendedahkan produk atau komponen kepada suhu rendah dan suhu tinggi secara berulang bagi mensimulasikan tegasan terma yang mungkin dialami sepanjang hayat operasi. Parameter penting dalam TCT termasuk julat suhu minimum dan maksimum, masa rendaman pada suhu tertentu, masa perubahan (*ramp*) suhu serta jumlah kitaran. Dalam konteks SSD *enterprise*, pemilihan profil ujian TCT yang sesuai adalah penting kerana setiap profil ujian TCT menghasilkan tahap tegasan termomekanikal yang berbeza terhadap komponen. Profil ujian TCT yang terlalu ringan mungkin gagal mendedahkan kelemahan reka bentuk. Manakala profil yang terlalu agresif pula boleh menyebabkan keadaan *over-stress* yang tidak semestinya mewakili penggunaan sebenar. Oleh itu, kajian ini menilai beberapa profil ujian TCT yang berbeza bagi mengenal pasti hubungan antara keparahan profil ujian TCT dan tahap keretakan sambungan pateri.

Walaupun ujian kefungsian elektrik mampu menentukan sama ada SSD *enterprise* masih beroperasi selepas ujian TCT (Zhou et al. 2025). Ujian ini tidak semestinya mampu mengesan kerosakan separa atau mikroretakan pada sambungan pateri. Sambungan pateri yang telah mengalami retakan sebahagian masih boleh mengekalkan laluan elektrik yang mencukupi untuk membolehkan SSD *enterprise* lulus ujian fungsi. Namun begitu, retakan tersebut boleh terus berkembang akibat pendedahan terma berulang dan akhirnya menyebabkan kegagalan musnah dalam operasi sebenar. Justeru, analisis kegagalan fizikal seperti penembusan pewarna dan pemisahan (DnP) diperlukan sebagai kaedah pelengkap. Melalui DnP, pewarna akan menembusi kawasan retakan pada sambungan pateri dan membolehkan tahap kerosakan diperhatikan secara visual menggunakan mikroskop. Data keretakan yang diperoleh kemudiannya boleh digredkan dan digunakan untuk membangunkan metrik kuantitatif yang lebih bermakna.

Sehubungan itu, kajian ini memperkenalkan indeks keretakan sambungan pateri komponen elektronik ternormal,  $\eta$  (indeks  $\eta$ ) sebagai pendekatan kuantitatif bagi menilai keparahan keretakan sambungan pateri dalam beberapa komponen kritikal SSD *enterprise*. Komponen kritikal ini merupakan komponen yang sangat mempengaruhi prestasi keseluruhan SSD *enterprise* terutamanya dalam proses pemasangan dan

pengujian. Kegagalan komponen kritikal semasa pemasangan dan pengujian memberi implikasi yang besar kepada syarikat pembuatan SSD *enterprise*. Contoh implikasi adalah proses kerja semula yang sangat berisiko sekiranya berlaku kegagalan pada komponen kritikal SSD *enterprise*.

Indeks  $\eta$  dibangunkan dengan mengambil kira nisbah keretakan sambungan pateri bagi setiap sambungan serta jumlah sambungan pateri bagi komponen tersebut. Pendekatan ternormal ini membolehkan perbandingan yang lebih adil antara komponen yang mempunyai bilangan sambungan berbeza, seperti *controller*, NAND, DDR dan PMIC. Dengan menggabungkan keputusan TCT, analisis DnP dan pengiraan indeks  $\eta$ , kajian ini menyediakan satu kaedah penilaian kebolehharapan yang lebih menyeluruh berbanding penilaian lulus/gagal elektrik semata-mata. Dapatan kajian ini diharapkan dapat menyumbang kepada pemilihan profil ujian TCT yang lebih tepat, penambahbaikan reka bentuk sambungan pateri, serta strategi kelayakan SSD *enterprise* yang lebih berasaskan data.

## 1.2 PERMASALAHAN KAJIAN

SSD *enterprise* telah digunakan secara meluas dalam aplikasi perusahaan dan pusat data. Walaubagaimanapun, isu kebolehharapan sambungan pateri elektronik pada peringkat papan litar masih kekal sebagai cabaran utama dalam reka bentuk dan kelayakan produk. Dalam persekitaran operasi sebenar, SSD *enterprise* terdedah kepada kitaran suhu berulang akibat perubahan beban kerja dan keadaan persekitaran pusat data, yang boleh menyebabkan kelesuan terma dan pembentukan retakan pada sambungan pateri (Arfaei et al. 2013; Hwang dan Vargas, 1990).

Dalam amalan industri, TCT digunakan secara meluas sebagai kaedah pecutan jangka hayat untuk menilai kebolehharapan produk elektronik termasuk SSD *enterprise*. Walau bagaimanapun, pemilihan profil ujian TCT dan bilangan kitaran ujian lazimnya ditentukan berdasarkan keperluan piawaian industri, seperti garis panduan JEDEC, atau spesifikasi pelanggan tanpa mengambil kira secara langsung tahap keparahan kerosakan fizikal sebenar yang berlaku pada sambungan pateri (JEDEC 2023; Jeon et al. 2021). Dalam kebanyakan situasi, penilaian kebolehharapan banyak bergantung kepada keputusan ujian kefungsiian elektrik, yang hanya mampu mengenal pasti kegagalan

musnah (*catastrophic failure*), tetapi tidak sensitif terhadap kewujudan kerosakan awal atau separa seperti mikroretakan pada sambungan pateri, kerana peranti masih boleh berfungsi. Keadaan ini mewujudkan jurang antara status “lulus” secara elektrik dengan keadaan sebenar sambungan pateri, yang berpotensi mengalami degradasi fizikal secara berterusan dan akhirnya menyebabkan kegagalan dalam operasi jangka panjang.

Pemilihan profil ujian TCT dalam pembangunan dan kelayakan SSD *enterprise* turut dipengaruhi oleh kekangan kos dan keupayaan operasi di peringkat industri. Dalam persekitaran pembuatan sebenar, profil ujian TCT yang digunakan lazimnya tertakluk kepada kemudahan peralatan yang sedia ada di kilang, termasuk had julat suhu, kapasiti kebuk ujian TCT, serta keupayaan pengendalian beban ujian. Pemilihan suhu ujian pula sering dipacu oleh keperluan pelanggan dan spesifikasi reka bentuk SSD *enterprise*, khususnya sensitiviti komponen terhadap suhu. Sebagai contoh, komponen seperti PMIC lebih sensitif kepada suhu tinggi dan cenderung menunjukkan kerosakan ketara pada profil dengan amplitud suhu yang besar, manakala komponen NAND lebih sensitif kepada jumlah kitaran berulang yang tinggi, terutamanya melebihi 500 kitaran TCT. Walau bagaimanapun, sebarang perubahan terhadap parameter TCT seperti peningkatan julat suhu atau bilangan kitaran akan memberi kesan langsung kepada kos pembangunan, termasuk keperluan penggunaan peralatan baharu seperti kebuk TCT yang lebih canggih, peningkatan masa ujian, serta pertambahan penggunaan sumber manusia bagi menjalankan dan memantau ujian tersebut. Di samping itu, tempoh ujian yang lebih panjang juga boleh menjejaskan *time-to-market*, yang merupakan faktor kritikal dalam pembangunan produk elektronik. Oleh itu, pemilihan profil ujian TCT dalam industri sering melibatkan kompromi antara tahap keparahan ujian, kos pembangunan, serta keperluan jadual projek yang secara tidak langsung boleh mengakibatkan profil ujian yang dipilih tidak sepenuhnya mencerminkan tahap kerosakan fizikal sebenar sambungan pateri.

Walaupun analisis kegagalan fizikal seperti kaedah DnP mampu memberikan maklumat kuantitatif mengenai peratusan retakan sambungan pateri, perbandingan tahap keparahan retakan antara komponen yang mempunyai bilangan sambungan pateri yang berbeza masih menjadi satu cabaran (Castello et al. 2006; IPC 2017). Ketiadaan satu kaedah penilaian yang ternormal menyebabkan keputusan kebolehharapan sukar

dibandingkan secara adil antara profil ujian TCT yang berbeza. Oleh itu, satu pendekatan baharu diperlukan bagi menilai kebolehharian sambungan pateri SSD *enterprise* secara lebih sistematik dan bermakna.

### 1.3 OBJEKTIF KAJIAN

Objektif utama kajian ini adalah untuk membangunkan satu pendekatan penilaian yang ternormal bagi menentukan tahap keparahan retakan sambungan pateri elektronik dalam SSD *enterprise*. Secara khusus, objektif kajian ini adalah:

- i. Menilai kesan profil ujian TCT yang berbeza terhadap kebolehharian sambungan pateri komponen kritikal SSD *enterprise*.
- ii. Menganalisis tahap retakan sambungan pateri elektronik menggunakan kaedah DnP.
- iii. Membangunkan indeks  $\eta$  bagi membolehkan perbandingan tahap keparahan retakan dilakukan secara adil.
- iv. Menentukan hubungan antara keparahan profil ujian TCT dan nilai indeks  $\eta$  sebagai asas kepada penilaian kebolehharian SSD *enterprise*.

### 1.4 SKOP KAJIAN

Skop kajian ini ditumpukan kepada penilaian kebolehharian sambungan pateri elektronik pada peringkat papan litar (*board-level*) bagi sistem SSD *enterprise* yang diuji di bawah TCT. Analisis dilakukan melalui gabungan ujian kefungsiian elektrik, analisis DnP dan pembinaan indeks  $\eta$ . Bagi memastikan ketekalan eksperimen dan kebolehbandingan hasil, ruang lingkup *form factor* difokuskan kepada *form factor* U.2 sahaja. Penilaian dilaksanakan pada peringkat papan litar SSD *enterprise*, bukan tahap sub pakej (*die level*) dan bukan juga tahap sistem penuh rak/pelayan. Ujian TCT dilaksanakan dalam mod tidak beroperasi (*non operational*) untuk mengasingkan kesan tegasan terma kitaran ke atas sambungan pateri tanpa variasi beban elektrik. Ujian fungsi elektrik digunakan sebagai saringan lulus/gagal sebelum dan selepas TCT. Skop kajian

ini tidak merangkumi gabungan beban persekitaran lain seperti kelembapan, kejutan/getaran atau pincang elektrik semasa ujian TCT.

### 1.5 LIMITASI KAJIAN

Limitasi kajian ini adalah hasil indeks  $\eta$ , implikasi reka bentuk/proses dan cadangan pemilihan profil ujian TCT berasaskan komponen penggerak adalah spesifik *form factor* U.2 Kajian tidak menilai impak faktor *form factor* terhadap arus udara sebenar rak, profil beban kerja termal (operasi), atau halangan mekanikal perumahan. Maka, ekstrapolasi kepada M.2, E1.S/E1.L atau E3 hendaklah dibuat dengan kajian tambahan yang mengawal pembolehubah termomekanikal mengikut *form factor* masing masing, sebagaimana dikatalogkan oleh SNIA (2024).

Limitasi kajian adalah jenis *form factor* lain contohnya M.2, E1.S, E3 dengan reka bentuk papan dan keadaan penyejukan yang setara untuk menilai kesahan dan dapatan indeks  $\eta$  kajian ini. Kajian ini tidak menggunakan ujian TCT yang memasukkan beban elektrik (IO/kuasa) sambil mengekalkan kawalan *form factor*, terutamanya bagi *form factor* kelas E yang direka untuk pusat data berketumpatan tinggi mengikut taksonomi SNIA (2024) bagi melihat interaksi antara tegasan termal dan arus/beban terhadap indeks  $\eta$ . Skop kajian ini memberi fokus kepada *form factor* U.2 bagi memaksimumkan kebolehulangan dan kejelasan isyarat indeks  $\eta$ . Sebarang peluasan dapatan kepada *form factor* lain (M.2, E1, E3) memerlukan kajian susulan yang mematuhi taksonomi *form factor* seperti dihuraikan oleh SNIA (2024).

### 1.6 KEASLIAN KAJIAN

Keaslian kajian ini adalah menghasilkan satu pendekatan baharu dalam menilai kebolehharapan sambungan pateri elektronik SSD *enterprise* yang melangkaui penilaian kefungsiian elektrik semata-mata. Pengenalan indeks ternormal  $\eta$  membolehkan tahap keparahan retakan sambungan pateri dibandingkan secara lebih objektif antara profil ujian TCT yang berbeza. Dapatan kajian ini dijangka dapat membantu pihak industri dalam membuat keputusan berkaitan pemilihan profil ujian TCT, bilangan kitaran ujian TCT dan strategi reka bentuk untuk kebolehharapan (DfR) bagi meningkatkan kebolehharapan SSD *enterprise* (Jeon et al. 2021). Sumbangan utama kajian ini adalah

pembangunan satu indeks  $\eta$  pada peringkat papan litar. Indeks  $\eta$  yang dicadangkan membolehkan perbandingan tahap keparahan kerosakan dilakukan secara kuantitatif dan adil antara komponen serta profil ujian TCT yang berbeza. Selain itu, kajian ini menyumbang data empirikal berkaitan kesan profil ujian TCT terhadap kebolehharapan sambungan pateri SSD *enterprise* yang boleh dijadikan rujukan oleh penyelidik dan pihak industri dalam pembangunan produk storan berprestasi tinggi.

## 1.7 ORGANISASI TESIS

Tesis ini terdiri daripada lima bab. Bab 1 menerangkan tentang latar belakang kajian, permasalahan kajian, objektif, skop dan keaslian kajian. Bab 2 mengulas kajian literatur berkaitan kebolehharapan sambungan pateri, TCT dan kaedah analisis kegagalan sambungan pateri. Bab 3 menghuraikan metodologi kajian termasuk reka bentuk eksperimen, profil ujian TCT dan kaedah analisis. Bab 4 membincangkan keputusan kajian dan perbincangan. Bab 5 mengemukakan kesimpulan serta cadangan untuk kajian masa hadapan.

## RUJUKAN

- Agirrezabala, E., Aizpuru, I., Garrido, D., & Portillo, A. 2025. Reliability of power semiconductor modules: A state-of-the-art review. *IEEE Open Journal of Power Electronics* 6: 1036-1067.
- Allison, M., George, A., Gonzalez, J., Helmick, D., Kumar, V., Nair, R.R., & Shah, V. 2025. Towards efficient flash caches with emerging NVMe flexible data placement SSDs. *In EuroSys '25*: 1143-1160.
- Almaetah, Y., Santos, D.L., Patel, D., Scheid, J., Huang, Y., Pantone, M., & Shindadkar, S. 2025. The effects of temperature and relative humidity on intermetallic compound layer growth: Implications for solder joint reliability. *In 2025 Pan Pacific Strategic Electronics Symposium (Pan Pacific)*: 1-9.
- Anžel, A., Heider, D. & Hattab, G. 2021. The visual story of data storage: From storage properties to user interfaces. *Computational and Structural Biotechnology Journal* 19: 4904-4918.
- Apalowo, R.K., Abas, M.A., Mukhtar, M.A.F.M., and Ramli, M.R. 2025. Investigation of the Impacts of Solder Alloy Composition and Temperature Profile on Fatigue Life of Ball Grid Array Solder Joints Under Accelerated Thermal Cycling. *ASME. J. Electron. Packag* 147(1): 011005.
- Arfaei, B., Mahin-Shirazi, S., Joshi, S., Anselm, M., Borgesen, P., Cotts, E., Wilcox, J. & Coyle, R. 2013. Reliability and failure mechanism of solder joints in thermal cycling tests. *IEEE 63rd Electronic Components and Technology Conference*: 976-985.
- Bakar, M.A., Sunar, M.S.M., Jalar, A., Atiqah, A., Che Ani, F., Ahmad, I., & Zolkefli, Z.E. 2023. Effect of Sn plating thickness on wettability, solderability, and electrical connections of electronic lead connectors for surface mount technology applications. *Sains Malaysiana* 52(11): 3261-3272.
- Bakonyi, A., Bodnár, L., & Zelei, A. 2026. Sensitivity Analysis of SAC 305 Solder Polycrystal Mechanical Parameters and Predicted Fatigue Lifetime with Different Grain Structures. *Applied Sciences* 16(2): 704.
- Basiron, E., Ismail, A.A., Jalar, A., Bakar, M.A., & Ahmad, A. 2025. Board level-component solder joints normalized crack severity index of solid-state drive with different reliability temperature cycle test profiles. *IEEE Transactions on Device and Materials Reliability* 25(3): 473-480.
- Blaabjerg, F., Zhang, K., Song, Y., Zhang, Y., Yao, B. & Novak, M. 2026. Advances in reliability and artificial intelligence for power electronic systems. *IEEE Transactions on Power Electronics* 41(8): 12386-12409.
- Bender, E., Bernstein, J.B., & Boning, D.S. 2024. Modern Trends in Microelectronics

Packaging Reliability Testing. *Micromachines* 5(3): 398.

Borghesi, M., Zambelli, C., Micheloni, R., & Bonnini, S. 2023. Modeling 3D NAND Flash with Nonparametric Inference on Regression Coefficients for Reliable Solid-State Storage. *Future Internet* 15(10): 319.

Botter, N., Khazaka, R., Avenas, Y., Missiaen, J.-M., Bouvard, D. & Azzopardi, S. 2023. Effect of large amplitude thermal cycles on power assemblies based on ceramic heat sink and multilayer pressure less silver sintering. *IEEE Transactions on Device and Materials Reliability* 23(2): 211-218.

Castello, T., Rooney, D. & Shangguan, D. 2006. Failure analysis techniques for lead-free solder joints. *Soldering & Surface Mount Technology* 18(4): 21-27.

Che, F.X., Ong, Y.C., Ng, H.W., Gan, C.L. & Kumar, G. 2024. Investigation on memory package crack and prevention under temperature cycling test. *Materials Science in Semiconductor Processing* 180: 108560.

Chen, L., Wu, J., Liu, H., Niu, F., Huang, L., Jiang, P., & Liu, J. 2026a. Development and practical advances in integrated circuit electromagnetic reliability over the last decade. *IEEE Transactions on Reliability* 75: 819-832.

Chen, Y., Wei, X., Huang, C., Chen, X., Zhao, P., Leng, W., Zhang, C. & Ji, C. 2026b. Thermo-vibration coupled reliability methodology of BGA solder joints considering the preload effect of heat sink bolts. *Microelectronics Reliability* 181: 116139.

Chen, Z., Zhao, G., Quan, W., Xie, Z., Zhang, Y., & Cao, Y. 2026c. A holistic process-chain optimization framework for high-reliability high-I/O silicon-to-silicon flip-chip packaging. *IEEE Transactions on Components, Packaging and Manufacturing Technology* 16(5): 1137-1147.

Choudhury, P., Ribas, M., Augustine, P., Sarkar, S., Salerno, P., Lifton, A., Xie, L., Lai, S. Y., Subbarayan, G., & Blendell, J. 2026. Exploring the next-generation high-reliability lead-free solder alloy. *SMTA Journal* 39(1): 24-30.

Collins, D.H., Huzurbazar, A.V., & Warr, R.L. (2024). Highly accelerated life testing (HALT): A review from a statistical perspective. *WIREs Computational Statistics* 16(4): e70000.

Deng, Y., Chen, S., Liu, P., Lu, G., Yang, X., Zhao, Y., & Jian, X. 2026. Failure Behavior and Mechanism of Solder Joint Under Thermal Mechanical Coupling Loads. *Materials* 19(3): 640.

Deo, K.A., Park, S. & Kono, R.-N. 2023. Influence of copper pad dimension on thermal fatigue life performance of BGA packages. *IEEE Transactions on Components, Packaging and Manufacturing Technology* 13(9): 1388-1398.

Depiver, J.A., Mallik, S., & Amalu, E.H. 2023. Characterising solder materials from

- random vibration response of their interconnects in BGA packaging. *Journal of Electronic Materials* 52: 4655–4671.
- Dubek, K., Schneidhofer, C., Dörr, N., Rojacz, H., Plank, B., & Schmid, U. 2025. Accelerated lifetime estimation and failure analysis of micromachined humidity sensors under high temperature and high humidity conditions. *Microelectronics Reliability* 174: 115885.
- Galvan, S., & Sullivan, D.J.D. 2025. Enhanced dye and pull analysis for CSP package types. Dalam *2025 IEEE International Reliability Physics Symposium (IRPS)*: 1-4.
- Gau, Y.Y., Loke, B.C., Tan, W.Y., Ismail, M.F., & Lim, C.P. 2025. Failure analysis of latent defects in flip chip controllers under bias-HAST: Insights from assembly and test processes. In *2025 IEEE 32nd International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*: 1-4.
- Gharaguzlo, M.M., Ajdari, M., & Asadi, H. 2026. Smart prediction of I/O accesses in enterprise workloads to accelerate data serving during array reconstruction. *IEEE Computer Architecture Letters* 25(1): 101-104.
- Gharaibeh, A., Dayoub, A., Berényi, R., & Medgyes, B. 2025. Electrochemical migration: A short state-of-the-art overview. In *2025 IEEE 31st International Symposium for Design and Technology in Electronic Packaging (SIITME)*: 152-155.
- Gramacho, A., Prazeres, B., Souza, L.M., Garcia, F., Beal, V., & Lepikson, H. (2025). Environmental stress screening applied on quality control of electronic modules purposed for harsh conditions. In *2025 16th IEEE International Conference on Industry Applications (INDUSCON)*: 35-39.
- Guo, F., Du, Y., Ji, X. & Wang, Y. 2023. Recent progress on thermo-mechanical reliability of Sn-based alloys and composite solder for microelectronic interconnection. *Acta Metall Sin* 59(6): 744-756.
- Ha, J. Y. & Son, Y. 2026. Design and implementation of a fast and predictable SSD liveness watchdog for storage systems. *Future Generation Computer Systems*, 184: 108633.
- Hani, D.B., Al Athamneh, R., Abueed, M., & Hamasha, S. 2023. Reliability modeling of the fatigue life of lead-free solder joints at different testing temperatures and load levels using the Arrhenius model. *Scientific Reports* 13: 2493.
- Hassani, F.S., Gheibi-Fetrat, A., Vanestan, S.B., Gholipoor, M., Zoufan, S., Lee, J.-A. & Sarbazi-Azad, H. 2026. A survey on SSD wear leveling techniques. *Computer Science Review* 60: 100891.
- Huang, Z. 2025. Application of accelerated life testing in solder joint life prediction. *Journal of Manufacturing Science and Mechanical Engineering* 3(1): 33–36.

- Hwang, J.S. & Vargas, R.M. 1990. Solder joint reliability-Can solder creep? *Soldering & Surface Mount Technology* 2(2): 38-45.
- Inamdar, A., Van Driel, W.D., & Zhang, G. 2025. Electronics packaging materials and component-level degradation monitoring. *Frontiers in Electronics* 6: 1506112.
- Inui, Y., Kan, D., Takahashi, M., Aoyama, M., Matsuo, N., Isomura, S., & Katoh, S. 2026. Integrated analysis of lock-in thermography, X-ray computed tomography, and scanning electron microscopy for rapid screening and characterization of defects in high-density semiconductor packages. *In 2026 Pan Pacific Strategic Electronics Symposium (Pan Pacific)*: 150-154.
- IPC. 2017. *IPC-TM-650 Test Methods Manual: Dye and Pull Test Method (Formerly Known as Dye and Pry)*. Nombor 2.4.53. Bannockburn, IL: IPC.
- Ismail, A.A., Bakar, M.A., Ehsan, A.A., Jalar, A., Basiron, E. & Ani, F.C. 2022. Cardinal and ordinal directions approach in investigating arrayed solder joints crack propagation of ball grid array semiconductor packages. *IEEE Transactions on Components, Packaging and Manufacturing Technology* 12(9): 1492-1501.
- Izamshah, R., Suieb, N., Kasim, M.S., Aziz, M.S.A., Yob, M.S., Sundi, S.A., Zamri, R., & Abdullah, R.S.A. 2022. Optimizing electroplating process parameter and Sn-plating thickness uniformity using modified shielding. *International Journal of Nanoelectronics and Materials* 15(Special Issue): 233-245.
- JEDEC. 2023. *JESD22-A104F.01 JEDEC Standard Temperature Cycling*. Arlington, USA: JEDEC Solid State Technology Association.
- Jeon, C., Choi, Y., Rhew, K., Bae, J., Cho, J. & Pae, S. 2021. A systematic study and lifetime modeling on the board level reliability of SSD after temperature cycling test. *2021 IEEE 71st Electronic Components and Technology Conference (ECTC)*: 1007-1013.
- Ji, B., Pickert, V., Cao, W., & Zahawi, B. 2013. In situ diagnostics and prognostics of wire bonding faults in IGBT modules for electric vehicle drives. *IEEE Transactions on Power Electronics* 28(12): 5568-5577.
- Kalay, M.S., & Akpolat, A.N. 2025. A systematic review on reliability and lifetime evaluation of power converters in power generation systems. *IET Renewable Power Generation* 19: 70111.
- Kim, B.J., Jeon, H., Kim, G., Cho, N.-H., Khim, J., & Kim, Y.K. 2022. Wettable flank routable thin MicroLeadFrame for automotive applications. *Microelectronics Reliability* 135: 114602.
- Kim, H., Hwang, J.Y., Kim, S.E., Joo, Y.-C., & Jang, H. 2023. Thermomechanical challenges of 2.5-D packaging: A review of warpage and interconnect reliability. *IEEE Transactions on Components, Packaging and Manufacturing Technology*

13(10): 1624-1641.

- Kim, K., Kim, Y., Kang, S., & Park, T.H. 2025. The effect of different metal pad sizes on shear stress in solder ball bonding. *J Mater Sci: Mater Electron* 36: 352.
- Kousar, S., Hansen, K., & Keller, T.F. 2022. Laser-Assisted Micro-Solder Bumping for Copper and Nickel–Gold Pad Finish. *Materials* 15(20): 7349.
- Lall, P., & Zhang, Y. 2026. Characterization of fatigue performance for bulk epoxy molding compound in sustained high temperature exposure up to 1 year aging. *Journal of Electronic Packaging* 148(1): 011009.
- Lau, C.S., Hilmi, A.F., Ye, N. & Yang, B. 2021. Board-level reliability performance of Enterprise and Datacenter SSD Form Factor (EDSFF). *Proceedings of the 2021 IEEE 71st Electronic Components and Technology Conference (ECTC)*: 1346-1352.
- Lee, H., Hong, S., Ji, J., & Kim, Y. 2026. Thermal Degradation Diagnosis of ATE Driver Boards Using ALT-Derived Cumulative Degradation Time. *Electronics* 15(3): 673.
- Li, L., Du, X., Chen, J., & Wu, Y. 2024. Thermal Fatigue Failure of Micro-Solder Joints in Electronic Packaging Devices: A Review. *Materials* 17(10): 2365.
- Li, Q., Liu, N., Yang, M., Wang, X., Huang, X., & Diao, R. 2025. Impact of molding compound CTE and mechanical constraint on solder joint fatigue life in QFN and BGA packages under thermal cycling. In *2025 26th International Conference on Electronic Packaging Technology (ICEPT)*: 1-5.
- Li, Q., Zhao, W., Zhang, W., Chen, W. & Liu, Z. 2023. Research on thermal fatigue failure mechanism of BGA solder joints based on microstructure evolution. *International Journal of Fatigue* 167(Part B):107356.
- Liao, H. 2024. Accelerated testing and smart maintenance: History and future. *IEEE Transactions on Reliability* 73(1): 33-37.
- Ling, Q., & Isa, N.A.M. 2023. Printed circuit board defect detection methods based on image processing, machine learning and deep learning: A survey. *IEEE Access* 11: 15921-15944.
- Liu, J., Saad, A. A., Zheng, Y., Ji, H., & Bachok, Z. 2026. Anand Model and Finite Element Analysis of Sn-0.3Ag-0.7Cu-3Bi Lead-Free Solder Joints in BGA Packages. *Materials* 19(3): 636.
- Lo, C.-H., Chang, T.-Y., Lee, T.-Y., & Hwang, S.-J. 2024. Analysis of warpage and reliability of very thin profile fine pitch ball grid array. *Heliyon* 10(15): e35459.
- Mayappan, R. 2024. The evolution of interfacial intermetallic compound growth and solder joint strength of Sn-40Pb/Cu under thermal aging. *Scientific Research Journal* 21(2): 57-72.

- Morettini, G., & Cianetti, F. 2026. Development of a random fatigue life prediction method for electronic components mounted on PCBs. *Procedia Structural Integrity* 79: 440-448.
- Nayini, M., Sinha, K., Shetty, T., Glancey, C., Wilson, K., Nune, P.N., & Ong, Y.C. 2025. Analysis of board level thermal cycling solder joint reliability of a wafer-level chip scale package. In *2025 IEEE 7th International Conference on Emerging Electronics (ICEE)*: 1-4.
- Nehruji, M., Sambasivam, S., Krishnasamy, S., & Nithyanandhan, A. 2026. Enhancing the fatigue life of PCB assemblies through strategic positioning and novel support techniques for BGA packages. *Journal of Microelectronics, Electronic Components and Materials* 56(1): 27-36.
- Nimbalkar, P., Bhaskar, P., Kathaperumal, M., Swaminathan, M., & Tummala, R.R. 2023. A Review of Polymer Dielectrics for Redistribution Layers in Interposers and Package Substrates. *Polymers* 15(19): 3895.
- Pádua, G.F.R.C., Figueiredo, L.F.S., Rocha, G.S., Junior, J.S.M., Oliveira, J.S.D., Barboza, R. S., Kieling, A.C., & Neto, J.C.M. 2025. Characterization and failure analysis of solder joints in ball grid array (BGA) components using cross-section, dye and pry, and microstructural etching techniques. *Materials Research* 28(Suppl. 1): e20250211.
- Pan, L., Che, F., Ong, Y.C., Yu, W., & Ng, H.W. 2025. Key insights into design for reliability of 3D NAND packages in solid-state drive. In *2025 IEEE 27th Electronics Packaging Technology Conference (EPTC)*: 1-4.
- Putala, J., Nousiainen, O., Coyle, R., Jaskari, M., Siponkoski, T., Jääskeläinen, J., Raumanni, J., Hagberg, J., & Myllymäki, S. 2026. Reliability study of Sn3Ag0.5Cu solder joints in QFN/PCB assemblies. *Microelectronics Reliability* 180: 116091.
- Qasaimeh, Q., Liu, J., Silva, D.F., Qasaimeh, A., Evans, J.L., & Hamasha, S. 2026. Interpretable data-driven framework for life prediction of homogenous lead-free solder joints in ball grid array packages. *Journal of Intelligent Manufacturing* 37: 659-677.
- Rahman, S., & Khan, T.A. 2026. Energy Storage Systems for AI Data Centers: A Review of Technologies, Characteristics, and Applicability. *Energies* 19(3): 634.
- Ramu, K., Selvam, M., Ramachandran, M., RajKumar, S. 2023. A review on solid state drives transformer concept: A new era in power supply. *Electrical and Automation Engineering* 2(1): 104-110.
- Raquibuzzaman, M., Milenkovic, A., & Ray, B. 2022. EXPRESS: Exploiting Energy-Accuracy Tradeoffs in 3D NAND Flash Memory for Energy-Efficient Storage.

*Electronics* 11(3): 424.

- Razzaq, M.A., Meilunas, M., Cao, X.A., Wilcox, J., & Ramini, A. 2025. Thermal fatigue behaviors of BGA packages with an optimized solder joint layout. *Electronics* 14:2286.
- Reddy, V., Ume, I., Williamson, J. & Sitaraman, S. 2021. Evaluation of the quality of BGA solder balls in FCBGA packages subjected to thermal cycling reliability test using laser ultrasonic inspection technique. *IEEE Transactions on Components, Packaging and Manufacturing Technology* 11(4): 589-597.
- Robertson, M., Chen-Williams, S., & Tremblay, D. 2026. Effect of solder joint quality on long-term reliability of lead-free interconnections. *International Journal of Electronics and Microcircuits* 6(1): 7-12.
- Shin, I. 2024. Leveraging Static and Dynamic Wear Leveling to Prolong the Lifespan of Solid-State Drives. *Applied Sciences* 14(18): 8186.
- SNIA. 2024. SSD form factors. <https://www.snia.org/forums/cmsi/knowledge/formfactors>. [Diakses pada 1 Julai 2025].
- Suhaimi, A., Omar, G., & Asmah, M.T. 2024. Correlation between surface texturing on pre-plated leadframe and delamination phenomenon in automotive packaging. *IJNeaM* 15(3): 197-206.
- Suthar, H. & Sharma, P. 2024. An investigation on file carving tool methodologies using scenario based image creation. *Indian Journal of Science and Technology* 17(3): 215-227.
- Thukral, V., Van Soestbergen, M., Zaal, J.J.M., Roucou, R., Rongen, R.T.H., van Driel, W.D., & Zhang, G.Q. 2022. Board level vibration test method of components for automotive electronics: State-of-the-art approaches and challenges. *Microelectronics Reliability* 139: 114830.
- Tian, W., Li, F., He, M., Ji, H., & Chen, S. 2025. Reliability Analysis of Complex PCB Assemblies Under Temperature Cycling and Random Vibration. *Micromachines* 16(2): 212.
- Tung, H.-P. & Ling, M. H. 2026. Unified accelerated life testing for one-shot devices with Weibull lifetime distributions. *IEEE Transactions on Reliability* 75: 171-180.
- Varga, D., Szabó, P. J., & Szlancsik, A. 2025. 3D X-ray microscopy and mechanical analysis of thermal cycling-induced degradation in solder joints. 182: 110102.
- Wang, Y., Hu, J., Zhang, S. & Chen, X. 2024. Cyclic stress accelerated life test method for mechatronic products. *Qual Reliab Eng Int.* 40: 1672-1684.

- Xu, L. 2023. Flash storage technology status and development research. *Journal of Physics: Conference Series* 2649: 012046.
- Yang, L., Xu, G., Yan, H., Chen, C., Su, L., Li, K., & Li, W. 2026. Large-area metal sinter-joining in power electronics packaging: Challenges and perspectives. *Journal of Materials Chemistry C* 14(9): 3414-3426.
- Yeom, J., Elsener, H.R., Burgdorf, T., Bischoff, R., Jeurgens, L.P.H., & Janczak-Rusch, J. 2025. Degradation of high reliability lead-free solder joints under harsh thermal cycling test. *Microelectronics Reliability* 173: 115868.
- Yu, A., Cui, H., & Zheng, Y. 2026. Review of Main Life Prediction Models for Solder Joints in Electronic Devices. *Engineering Research Express* 8(13): 132401.
- Yu, W., Che, F.X., Ong, Y.C., Pan, L., & Cheong, W.G. 2024. Study on substrate copper pad crack through experiment and simulation. *2024 IEEE 26th Electronics Packaging Technology Conference (EPTC)*: 956-961.
- Zambelli, C. & R. 2026. Addressing the cross-temperature issue in 3-D NAND flash memories: Characterization and mitigation for solid-state drives. *IEEE Design & Test* 43(1): 30-40.
- Zhang, Y., Heimler, P., Abuogo, J.O., Zhang, X., Zhang, Y., Xie, D., Zhang, Y., Zhang, K., Li, X., Luo, H., Schmidt, R., Blaabjerg, F., Wang, H., & Basler, T. 2026. Power cycling testing for power semiconductor switches: Methods, standards, limitations, and outlooks. *IEEE Transactions on Power Electronics*, 41(1), 849-869.
- Zhang, Z., Gorbunova, A., Rhew, K., & Shi, J. 2025. A review of prognostics methods for electronic packages: From a structure-aware system-level perspective. *IEEE Transactions on Reliability* 74(3): 4116–4130.
- Zhao, Z.-H., Gao, L.-Y., & Liu, Z.-Q. 2025. Review of Enhancement Cu–Cu direct bonding technology in advanced packaging. *Nanotechnology* 36(26): 262001.
- Zhou, S., Ma, K., Cai, Z., Liu, S., Xiang, J., & Ma, C. 2025. Research on the Evaluation Method of Electrical Stress Limit Capability Based on Reliability Theory. *Electronics* 14(15): 3056.
- Zhou, S., Ma, K., Wu, Y., Liu, P., Hu, X., Nie, G., Ren, Y., Qiu, B., Cai, N., Xu, S., & Wang, H. 2023. Survey of Reliability Research on 3D Packaged Memory. *Electronics* 12(12): 2709.

**LAMPIRAN A****SENARAI PENERBITAN****JURNAL**

Basiron, E., Ismail, A.A., Jalar, A., Bakar, M.A. & Ahmad, A. 2025. Board level-component solder joints normalized crack severity index of solid-state drive with different reliability temperature cycle test profiles. *IEEE Transactions on Device and Materials Reliability* 25(3): 473-480.

